

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-111710

(43)Date of publication of application : 17.05.1988

(51)Int.Cl.

H03F 3/217

H03K 17/56

H03K 17/66

H03K 17/687

H03K 17/78

(21)Application number : 61-257458

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.10.1986

(72)Inventor : SAGARA YUJI

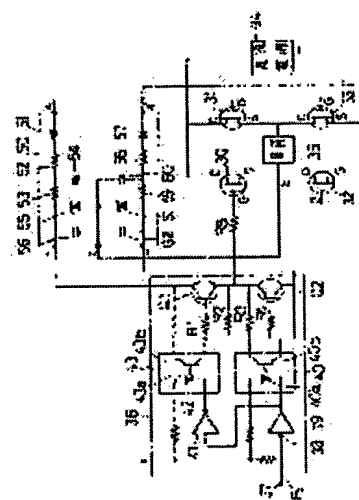
(54) DRIVE CIRCUIT FOR PULSE AMPLIFIER

(57)Abstract:

PURPOSE: To simplify the titled circuit by driving a switching element and a circuit using an output level of a pulse width modulator so as to change/ discharge an equivalent capacitance at the input side of a pulse amplifier comprising the plural switching elements.

CONSTITUTION: With a PWM signal Pd going to an H level, since a driver 39 outputs an L level and a driver 41 outputs an H level, a photocoupler 40 and a PNP transistor (TR) Q2 are turned off and an NPN Q1 and a photocoupler 43 are turned on. Then a pulse voltage is applied between the gate and source of a power TR 30 through the TR Q1 from the positive pole of a rectifier circuit 50, an equivalent capacitor of the gate and source is changed up, and when the voltage reaches a prescribed value or over, the TR 30 is turned on. With the signal Pd going to an L level, the TR Q1 is turned off, the TR Q2 is turned on and the electric charge of the said equivalent capacitance is discharged. TRs 31 ~ 33 are operated similarly to supply the AC power supply

to a load 35. Thus, the charge/discharge circuit and the switching circuit are driven by one and same power supply to simplify the circuit constitution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-111710

⑬ Int.Cl.⁴

H 03 F 3/217
H 03 K 17/56
17/66
17/687
17/78

識別記号

庁内整理番号

7827-5J
7190-5J
7190-5J
Z-7190-5J
A-7190-5J

⑭ 公開 昭和63年(1988)5月17日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 パルス増幅器の駆動回路

⑯ 特 願 昭61-257458

⑰ 出 願 昭61(1986)10月29日

⑱ 発 明 者 相 良 雄 治 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝生産技術研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦

明 細 書

1. 発明の名称

パルス増幅器の駆動回路

2. 特許請求の範囲

導通時に負荷へ電力を供給する複数のスイッチング素子から構成されるパルス増幅器を駆動するパルス増幅器の駆動回路において、パルス幅変調信号を受けてこのパルス幅変調信号がハイレベル又はローレベルに変化するに応じて前記スイッチング素子の入力側に形成される等価容量に対して充放電を行なわしめて前記スイッチング素子を導通制御する充放電回路を備え、この充放電回路と前記スイッチング素子との電源を共通化することを特徴とするパルス増幅器の駆動回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、音声信号、電力増幅およびモータ駆動制御等に適用されるパルス幅変調(PWM)信号を増幅するパルス増幅器の駆動回路に関する。

(従来の技術)

PWMは信号レベルに応じてその信号の周波数成分よりも十分に高い繰返し周波数のパルス信号のパルス幅を変化させるもので、パルス幅変調して得たパルス幅変調信号を損失の小さいパルス増幅を行なうことによって高い電力効率を得ることができる。また、複調は繰返し周波数を阻止する低域ろ波器にPWM信号を通すことによって容易に行える。

ところで、このようなPWM信号を利用したものとしてPWM信号を電力増幅してモータ等に供給し、このモータを駆動制御するH形パルス増幅器と称されるものがある。第2図はこのH形パルス増幅器の構成図であって、入力端子1、2にはそれぞれ互いに180°位相の異なる相補形の各PWM信号Pa、Pbが入力され、このうちPWM信号Paが駆動回路3、4に送られるとともにPWM信号Pbが駆動回路5、6に送られるようになっている。これら駆動回路3～6の出力端にはそれぞれ電界効果トランジスタ(FET)

から成るスイッチング素子としてのパワートランジスタ7、8、9、10が接続され、そしてパワートランジスタ7と10との各ドレインが共通接続されて直流電源11の正極に接続され、また各パワートランジスタ4と9との各ソースが共通接続されて直流電源11の負極に接続されている。そして、負荷12がパワートランジスタ7、10のソースとパワートランジスタ4、9のドレインとの間に接続されている。そこで、PWM信号Paがハイレベルとなると、各駆動回路3、4を通して各パワートランジスタ4、7が同時に導通して負荷12に負荷電流i1が流れ、またPWM信号Pbがハイレベルとなると、各駆動回路5、6を通して各パワートランジスタ9、10が同時に導通して負荷12に負荷電流i2が流れる。このように各PWM信号Pa、Pbのレベル変化に従ってパワートランジスタ7、8および9、10が別々に導通して負荷電流i1、i2が負荷12に供給される。ところが、このような構成の回路では個々のパワートランジスタに安定した入力電圧を入力

するために直流電源11と各駆動回路3～6に電力を供給する電源とは分離され、各駆動回路3～7は電氣的に絶縁する必要がある。また、A、A'点の電位はほぼ一定であるが、B、B'点の電位は負荷電流i1、i2の流れる方向が異なるためにA、A'点を基準電位とすれば、パワートランジスタ7、10はP型トランジスタを使用し、またパワートランジスタ8、9はN型トランジスタを使用しなければならないという制限が生じる。

そこで、このような制限を無くすために各駆動回路の電源をフローティングにしてB、B'点の電位を基準とすることが行われている。第3図はフローティング電源を使用した例を示す構成図である。なお、説明を簡単とするために1つのパワートランジスタ20に対する構成のみ示してある。PWM信号Pcが入力するドライバ21の出力端にはホトカブラ22が接続され、さらにこのホトカブラ22に励振器23が接続されている。この励振器23は、立ち上がり立ち下がりが良好でかつ出力インピーダンスが小さい相補型トランジス

タにより構成したシングルエンドプッシュプル(SEPP)型の出力回路が使用されている。そして、この励振器23の出力端に低抵抗24を介してパワートランジスタ20のゲートが接続されている。なお、25はダミー抵抗である。そして、励振器23に対する専用電源26が設けられる。このような回路構成であれば、PWM信号Pcがドライバ21に入力されると、このドライバ21によってホトカブラ22が作動して電氣的に絶縁されてPWM信号Pcが励振器23に伝えられる。そうして、この励振器23によってPWM信号Pcに応じたパルス電圧が低抵抗24を通してパワートランジスタ20のゲートソース間に加えられる。かくして、このパワートランジスタ20がPWM信号Pcのレベル変化に応じて導通制御される。ところで、励振器23の接地電位はパワートランジスタ20のソース電位と同一としなければならないが、このソース電位は前述したように大幅に変動する。従って、励振器23の電源は前記専用電源26を設けて電力を供給することに

なる。このように専用電源26を設けて、この電源26の構成をトランス26aを使用して外部の電位と絶縁しなければ安定した動作は望めない。

(発明が解決しようとする問題点)

以上のように従来の回路では各駆動回路3～6に対する別途電源回路を必要としフローティング電源化して外部の電位と絶縁する必要があった。

そこで本発明は、各スイッチング素子のスイッチング速度を損うことなくかつ専用のフローティング電源を全く不要としたパルス増幅器の駆動回路を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

本発明は、導通時に負荷へ電力を供給する複数のスイッチング素子から構成されるパルス増幅器を駆動するパルス増幅器の駆動回路において、パルス幅変調信号を受けてこのパルス幅変調信号がハイレベル又はローレベルに変化するに応じてスイッチング素子の入力側に形成される等価容量に対して充放電を行なわしめてスイッチング素子

を導通制御する充放電回路を備えて上記目的を達成しようとするパルス増幅器の駆動回路である。

(作用)

このような手段を備えたことにより、スイッチング素子の入力側に形成される等価容量に対して充放電回路によりパルス幅変調信号のハイレベル又はローレベルに変化するに応じて充放電が行われ、この充放電によりスイッチング素子が導通制御される。

(実施例)

以下、本発明の一実施例について第1図に示すパルス増幅器の駆動回路の全体構成図を参照して説明する。なお、第1図は説明を簡単にするために1つのパワートランジスタに対する構成のみ示してある。30、31、32、33はそれぞれH形増幅器を構成するスイッチング素子としてのパワートランジスタであって、FETが用いられている。このH形増幅器の構成は、パワートランジスタ30、31の各ドレインが共通接続されて直流電源34の正極に接続され、またパワートラ

ンジスタ32、33の各ソースが共通接続されて直流電源34の負極に接続されている。そして、パワートランジスタ30、31の各ソースとパワートランジスタ32、33の各ドレインとの間に負荷35が接続されている。

さて、36は充放電回路であって、これはパルス幅変調信号Pdを受けてこのパルス幅変調信号Pdがハイレベル又はローレベルに変化するに応じてパワートランジスタ30の入力側つまりゲート-ソース間に形成される等価容量に対して充放電を行なわしめてパワートランジスタ30を導通制御するものである。具体的な構成は次の通りである。入力端子37には反転素子38を介してドライバ39が接続され、さらにこのドライバ39の出力端が2系統に分岐されてその一方がホトカブラ40のホトダイオード40aに接続され、他方がドライバ41の入力端に接続されている。そして、このドライバ41の出力端に反転素子42を介してホトカブラ43のホトダイオード43aが接続され、さらにこのホトカブラ43のホト

※

ランジスタ43bにNPN形トランジスタQ1が接続されている。なお、ホトランジスタ43bとNPN形トランジスタQ1とは、ホトランジスタ43bのコレクタとNPN形トランジスタQ1のコレクタとが接続されるとともにホトランジスタ43bのエミッタとNPN形トランジスタQ1のベースおよびエミッタとがそれぞれ抵抗R1、R2を介して接続されている。一方、前記ホトカブラ40のホトランジスタ40bにPNP形トランジスタQ2が接続されている。そして、このホトランジスタ40bとPNP形トランジスタQ2とは、ホトランジスタ40bのコレクタとPNP形トランジスタQ2のエミッタおよびベースとがそれぞれ抵抗R3、R4を介して接続されるとともにホトランジスタ41bのエミッタとPNP形トランジスタQ1のコレクタとが接続されている。そして、NPN形トランジスタQ1のエミッタとPNP形トランジスタQ2のエミッタとが共通接続されて抵抗R5を介してパワートランジスタ30のゲートに接続されてい

る。かくして、このような構成とすることによりNPN形トランジスタQ1が導通したときに後述する整流回路50からの電力がパワートランジスタQ1の等価容量に対して充電作用し、またPNP形トランジスタQ2が導通したときにパワートランジスタ30の等価容量に充電された電荷を放電させるように作用させることになる。

前記整流回路50は直流電源34の電力を充放電回路36の各トランジスタQ1、Q2に供給するもので、a、a'端子がそれぞれ直流電源34の正および負極に接続されるとともに+極出力端子がNPN型トランジスタQ1のコレクタに接続され、-極出力端子がPNP型トランジスタQ2のコレクタに接続されている。また、コモン端子がパワートランジスタ30、32の接続点に接続されている。具体的な内部構成は次の通りである。a端子に直流電源34から見て順方向にダイオード51が接続され、このダイオード51に低抵抗52と電流制限抵抗53との直列回路が接続されている。そして、低抵抗52とコモン端子との間

にコンデンサ54が接続されるとともに電流制限抵抗53とコモン端子との間にツェナダイオード55とコンデンサ56との並列回路が接続されている。一方、b端子に直流電源34から見て逆方向にダイオード57が接続され、このダイオード57に低抵抗58と電流制限抵抗59との直列回路が接続されている。そして、低抵抗58とコモン端子との間にコンデンサ60が接続されるとともに電流制限抵抗59とコモン端子との間にツェナダイオード61とコンデンサ62との並列回路が接続されている。なお、各コンデンサ56、62は応答速度を向上させるためのもので、各パワートランジスタ30～33の各ゲートソース間の等価容量よりも十分大きな容量に設定されている。

次に上記の如く構成された回路の作用について説明する。入力端子37にPWM信号Pdが入力しこのPWM信号Pdがハイレベルとなると、ドライバ39の出力レベルはローレベルとなるとともにドライバ41の出力レベルは反転素子42を

通ることによりハイレベルとなる。これにより、ホトカブラ40は作動せずにPNP型トランジスタQ2は非導通状態にある。一方、ホトカブラ43は作動してホトトランジスタ43bに2次電流が流れてNPN型トランジスタQ1を導通状態とする。従って、整流回路50の+極出力端子からNPN型トランジスタQ1を通してパワートランジスタ30のゲートソース間にパルス電圧が加えられる。ここで、パワートランジスタ30であるFETは電圧制御であるので、ゲートソース間に生じる等価容量に充電が行われたのと同じことになる。これによりパワートランジスタ30はそのゲートソース間の電圧が所定値以上となって導通状態となる。次にPWN信号Pdがローレベルとなると、ドライバ39の出力レベルはハイレベルとなるとともにドライバ41の出力レベルは反転素子42を通ることによりローレベルとなる。これにより、ホトカブラ43は作動せずにNPN型トランジスタQ1は非導通状態にある。一方、ホトカブラ40は作動するので、PNP型

トランジスタQ2のエミッターコレクタ間に電流が流れ、かくしてパワートランジスタ30のゲートソース間の等価容量に充電されている電荷が同時に放電される。このようにPWM信号Pdのレベルが変化するに応じてパワートランジスタ30のゲートソース間の等価容量に対して充放電が行なわれてパワートランジスタ30を導通制御する。そうして、各パワートランジスタ30～33に対して上記と同一の作用が行われてパワートランジスタ30、33とパワートランジスタ31、32とがそれぞれ同時に導通して負荷35に負荷電流が供給される。

このように上記一実施例においては、PWM信号Pdを受けてこのPWM信号Pdがハイレベル又はローレベルに変化するに応じてパワートランジスタ30～33のゲートソース間に形成される等価容量に対して充放電を行なわしめてパワートランジスタ30～33を導通制御する構成としたので、充放電回路36で消費される電流量が従来に比して大幅に小さくなり、これにより充放電

回路36への電力供給を各パワートランジスタ30～33へは電力を供給する直流電源34と整流回路50を通して共通化できる。そして、各パワートランジスタ30～33のスイッチング速度は充放電回路36により高応答で行える。従って、別途容量の大きな電源やフローティング電源が全く不要となる。また、整流回路50における低抵抗52、58の抵抗値を可能な範囲で小さくしかつコンデンサ54、60の容量を大きくすることによって安定した電力供給ができて各パワートランジスタ30～33のスイッチング動作を安定化できる。

なお、本発明は上記一実施例に限定されるものでなくその主旨を逸脱しない範囲で変形してもよい。例えば、各ホトカブラ40、43が高速応答で高伝達効率のものであれば、各トランジスタQ1、Q2は省略してもよい。

〔発明の効果〕

以上詳記したように本発明によれば、各パワートランジスタのスイッチング速度を換うことな

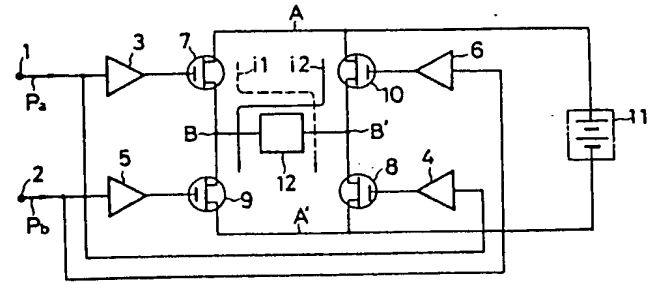
くかつ専用のフローティング電源を全く不要としたパルス増幅器の駆動回路を提供できる。

4. 図面の簡単な説明

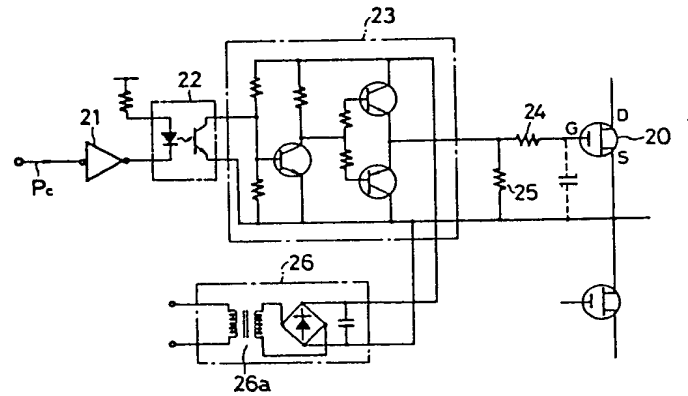
第1図は本発明に係わるパルス増幅器の駆動回路の一実施例を示す構成図、第2図および第3図は従来回路の構成図である。

30〜33…パワートランジスタ、34…直流電源、35…負荷、36…充放電回路、39、41…ドライバ、38、42…反転素子、40、43…ホトカプラ、50…整流回路、Q1…NPN型トランジスタ、Q2…PNP型トランジスタ。

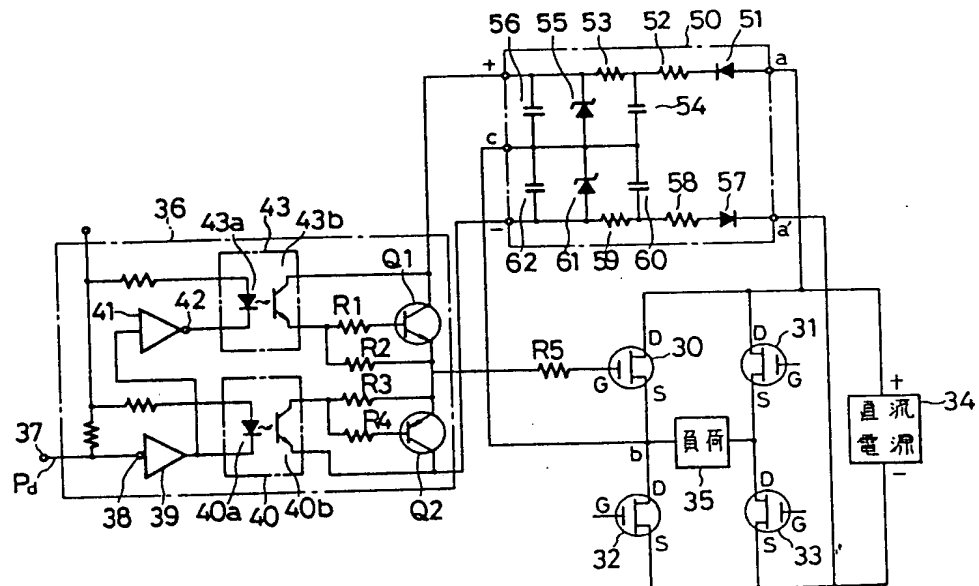
出願人代理人 弁理士 鈴江武彦



第 2 図



第 3 図



第 1 図